

Circuitos y Sistemas Digitales

Compuertas Lógicas con Transistores BJT

Clase 7



1. Introducción

Los transistores bipolares de unión (BJT, por sus siglas en inglés Bipolar Junction Transistor) constituyen uno de los componentes fundamentales en la implementación de circuitos digitales. Aunque en la actualidad los circuitos integrados modernos utilizan principalmente tecnología CMOS, comprender el funcionamiento de las compuertas lógicas implementadas con transistores BJT es la base para entender los fundamentos de los sistemas digitales y la evolución histórica de la electrónica digital.

Si bien es cierto que la familia de compuertas lógicas TTL basadas en transistores BJT consume considerablemente mayor energía que la tecnología CMOS, presentan características que las hacen especialmente valiosas en ciertos contextos de aplicación. La robustez inherente de los dispositivos TTL frente al maltrato físico y eléctrico los convierte en componentes ideales para entornos de laboratorio, prototipos experimentales y situaciones donde los circuitos están sujetos a manipulación frecuente. Esta resistencia se debe a su mayor tolerancia a descargas electrostáticas (ESD), sobrevoltajes transitorios y conexiones incorrectas temporales, características que los dispositivos CMOS, aunque más eficientes energéticamente, no poseen en el mismo grado. Los circuitos integrados TTL pueden soportar mejor las condiciones adversas típicas de bancos de prueba educativos, donde estudiantes e ingenieros conectan y desconectan repetidamente componentes, cometen errores ocasionales de cableado, y operan sin las precauciones antiestáticas rigurosas requeridas por CMOS.

Clase 7: Compuertas Lógicas con Transistores BJT.

3.3. Compuertas Lógicas con Transistores BJT

Los dispositivos TTL, basados en transistores de unión bipolar BJT, ofrecen ventajas significativas en términos de capacidad de manejo de corriente y velocidades de conmutación predecibles que no dependen críticamente de la impedancia de carga, esto los hace más robustos para aplicaciones en escenarios hostiles. Sus salidas tipo totem-pole pueden suministrar y absorber corrientes sustanciales (típicamente 10-20 mA), lo que permite alimentar directamente LEDs, pequeños relés, optoacopladores y otras cargas sin necesidad de etapas amplificadoras adicionales. Esta capacidad de interfaz directa simplifica enormemente el diseño de circuitos estables que pueden ser usados para pruebas o demostraciones sin comprometer la integridad de los componentes, como puede ocurrir con las tecnologías FET. Además, los niveles lógicos TTL están bien definidos y son compatibles con una amplia gama de instrumentación de laboratorio tradicional, facilitando las mediciones y verificaciones. Por estas razones, a pesar de su mayor consumo energético, las compuertas TTL continúan siendo la elección preferida en aplicaciones educativas, desarrollo de prototipos, bancos de prueba industriales y situaciones donde la confiabilidad operacional bajo condiciones no ideales es más importante que la eficiencia energética absoluta, entendiéndose TTL como las siglas en inglés de Transistor-Transistor Logic o "Lógica Transistor a Transistor", la cual es la tecnología de construcción de circuitos electrónicos digitales, en los que los elemen-

tos de entrada de la red lógica son transistores, así como los elementos de salida del dispositivo. [En este artículo puede ver cómo la fabricación de transistores sigue evolucionando](#) con nuevas perspectivas ecológicas.

Las compuertas lógicas se pueden implementar como combinaciones de interruptores analógicos conectados en serie o paralelo para conseguir el comportamiento de las operaciones AND y OR respectivamente, bajo esta óptica y como habíamos visto previamente el transistor puede trabajar como un interruptor electrónico en las zonas de corte y saturación, y es esta característica la que lo hace el componente base de las compuertas lógicas.

Un transistor BJT puede operar en tres regiones: corte, activa o lineal y saturación. En aplicaciones digitales, utilizamos principalmente las regiones de corte y saturación, donde el transistor actúa como un interruptor electrónico. Cuando está en corte, el transistor se comporta como un interruptor abierto (estado lógico alto o "1") con una resistencia de alta impedancia de varios megohms, y cuando está en saturación, actúa como un interruptor cerrado (estado lógico bajo o "0") como una resistencia de baja impedancia con un valor cercano a cero.

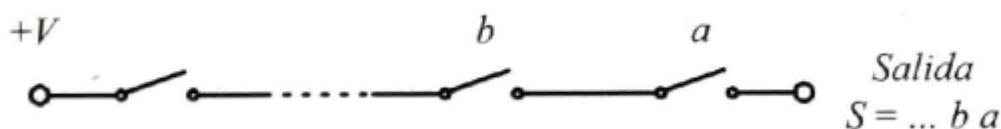
En la lógica binaria, existen tres operaciones básicas, AND, OR y NOT y las compuertas electrónicas que permiten implementarlas, son la base de la tecnología moderna, compuertas que detallamos a continuación.

3.3.1. Compuerta AND

La compuerta AND es una de las compuertas lógicas fundamentales que produce una salida alta (1 lógico) únicamente cuando todas sus entradas están en nivel alto. Para dos entradas A y B, la salida Y será 1 solo cuando A=1 y B=1 simultáneamente. La Figura 1 muestra la representación eléctrica de una compuerta AND implementada con interruptores mecánicos, donde se puede apreciar que la única forma que el voltaje V+ (que simula un uno lógico) se muestre en la salida es si y solo si los interruptores se encuentran encendidos. Dado que un transistor puede comportarse como un interruptor electrónico, es de suponerse que puede construirse un dispositivo que emule este comportamiento mecánico de estos interruptores.

Figura 1:

Representación eléctrica de la función AND

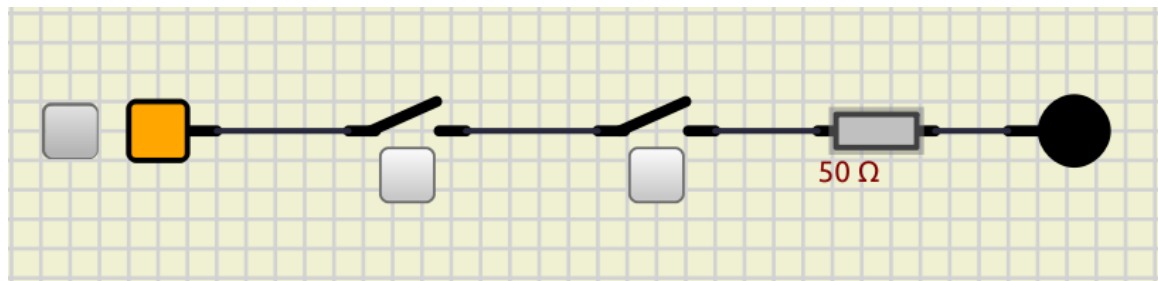


Nota: Tomado de (Electrónica digital, 2006)

En SimulIDE, usando dos interruptores en serie se puede conseguir la operación lógica AND, tal como se muestran en la Figura 2 y Figura 3:

Figura 2

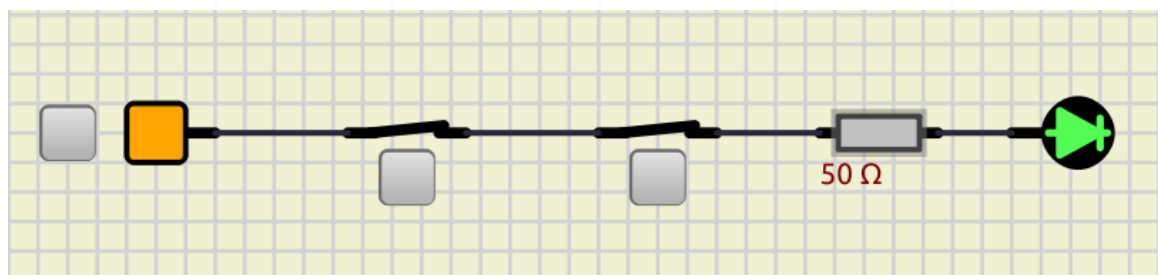
Compuerta Lógica AND con salida lógica baja implementada con interruptores



Nota: Elaborado por Escobar C. (2025)

Figura 3

Compuerta Lógica AND con salida lógica alta implementada con interruptores



Nota: Elaborado por Escobar C. (2025)

Nótese que la única forma de conseguir que la salida sea un uno lógico es si los dos interruptores se encuentran activados, lo cual es el principio de las compuertas lógicas AND.

A	B	A ∧ B
0	0	0
0	1	0
1	0	0
1	1	1

Implementación AND con transistores BJT

La implementación de la compuerta AND con transistores BJT puede realizarse, siguiendo la lógica de las figuras 1 a 3, mediante una configuración en serie de transistores NPN. El circuito básico consiste en dos transistores conectados en serie entre la fuente de alimentación positiva (V_{cc}) y tierra, con resistencias de polarización apropiadas, tal como se aprecia en la

Figura 4.

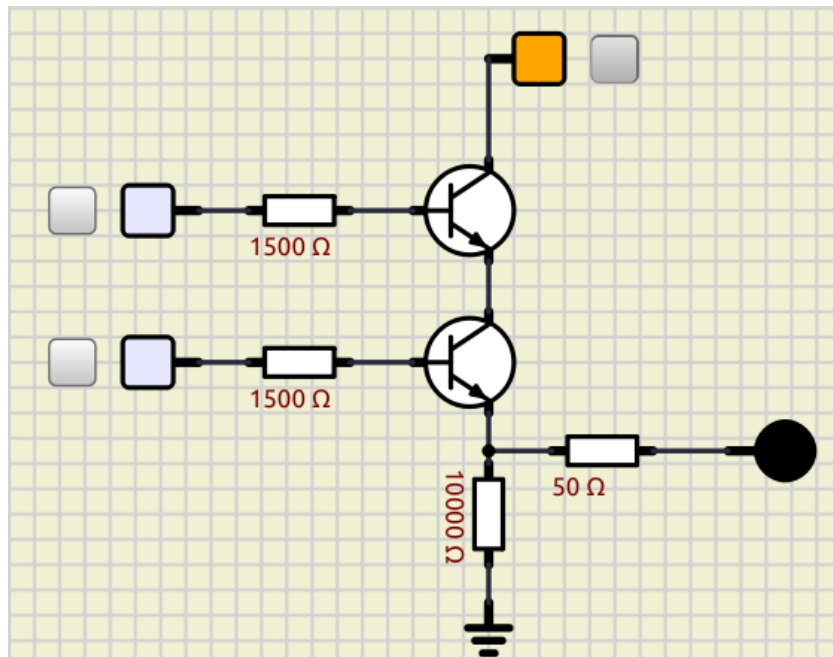
En este caso el circuito de nuestra compuerta AND con BJT incluye dos transistores NPN (Q1 y Q2) conectados en serie, una resistencia de emisor (R_e) conectada entre el emisor del transistor inferior y tierra, las resistencias de base (R_{b1} y R_{b2}) para limitar la corriente de entrada y la salida se toma del emisor del transistor inferior en el que se ha conectado una resistencia con un diodo para visibilizar el estado de la salida.

Para que la salida en el diodo sea alta (aproximadamente V_{cc}), ambos transistores deben estar en saturación. Esto ocurre cuando ambas entradas A y B están en nivel alto (1 lógico, típicamente +5V). En esta condición, fluye corriente de base en los dos transistores, llevándolos a la zona de saturación. La caída de voltaje VCE de cada transistor es aproximadamente cero, lo que conecta la salida a un valor cercano a V_{cc} , resultando en un nivel alto.

Cuando cualquiera de las entradas (A o B) está en nivel bajo (0 lógico, típicamente 0V), el transistor correspondiente va a la zona de corte, lo que apaga el transistor y la salida muestra una salida de nivel bajo o cero lógico, todas las combinaciones posibles de la entrada y el comportamiento del circuito de muestran desde la figura 4 a la figura 7, donde se puede apreciar que solo cuando las dos entradas están en nivel alto (1 lógico, típicamente 5V), la salida alcanza un valor alto.

Figura 4

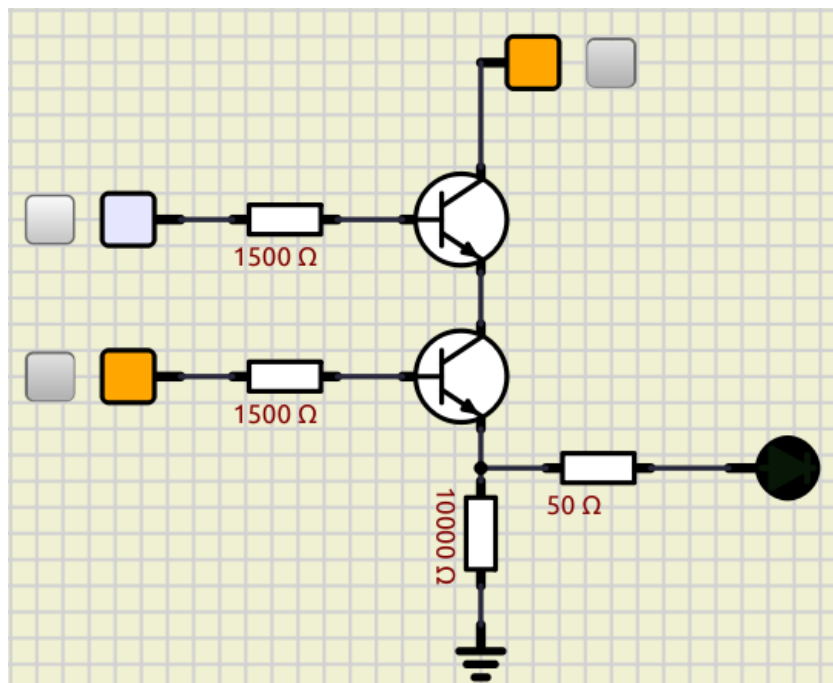
Compuerta lógica AND implementada con BJT. Combinación 0 0



Nota: Elaborado por Escobar C. (2025)

Figura 5

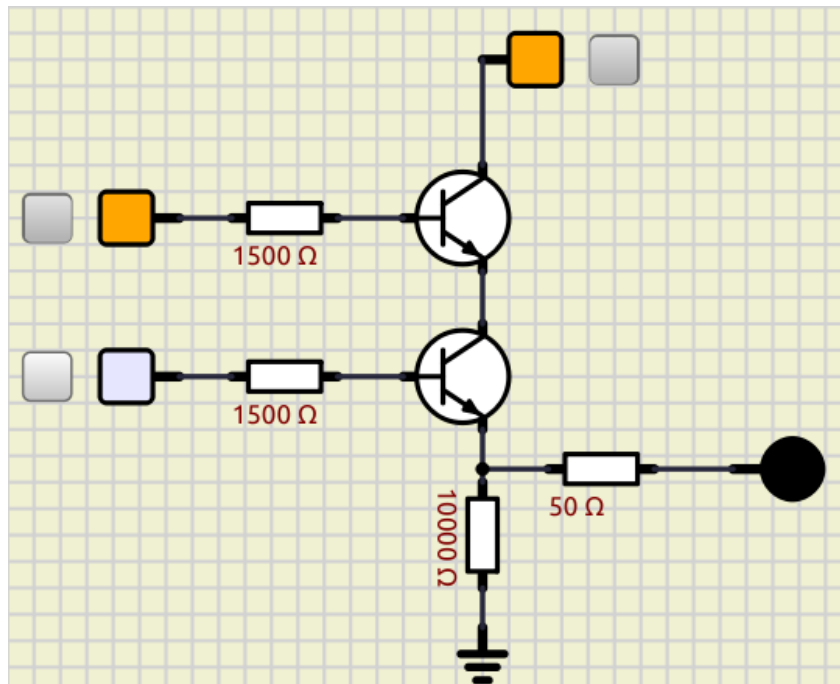
Compuerta lógica AND implementada con BJT. Combinación 0 1



Nota: Elaborado por Escobar C. (2025)

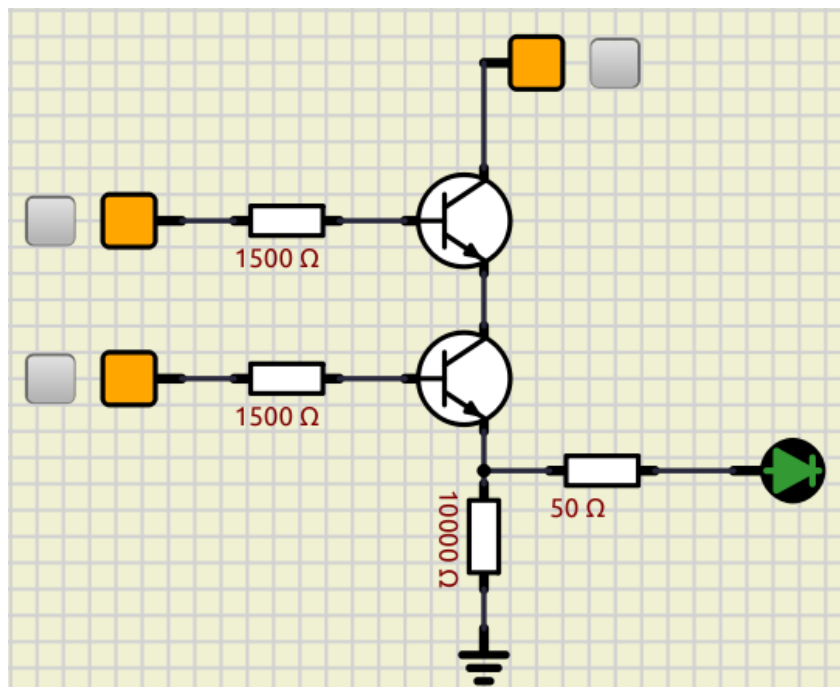
Figura 6

Compuerta lógica AND implementada con BJT. Combinación 1 0



Nota: Elaborado por Escobar C. (2025)

Figura 7 Compuerta lógica AND implementada con BJT. Combinación 1 1



Nota: Elaborado por Escobar C. (2025)

Específicamente:

Si $A=0$ y $B=0$, ambos transistores están en zona de corte, y la salida permanece en nivel bajo.

Si $A=0$, $Q1$ va a corte, y la salida permanece en nivel bajo.

Si $B=0$, $Q2$ va a corte, y la salida permanece en nivel bajo.

Si $A=1$ y $B=1$, ambos transistores se saturan, y la salida va a nivel alto. Esta es la única combinación que permite que la salida tome un nivel alto.

3.3.2. Compuerta OR

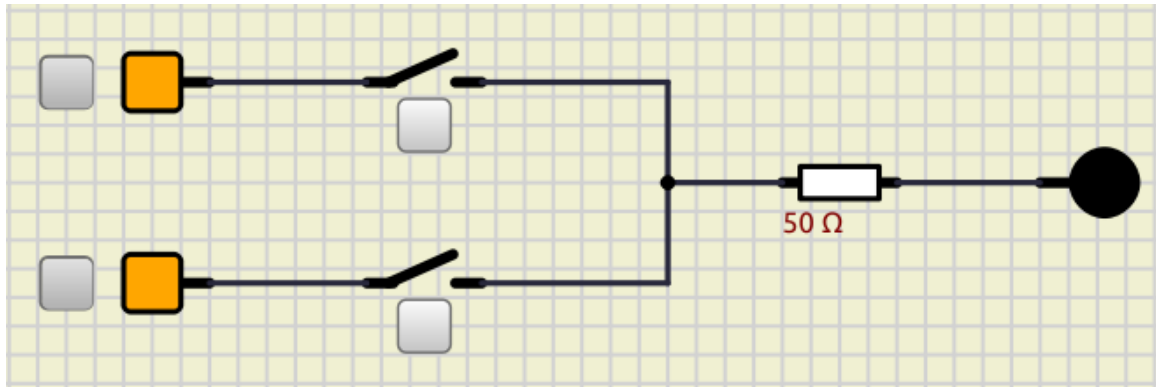
La compuerta OR produce una salida alta cuando al menos una de sus entradas está en nivel alto. La salida es baja únicamente cuando todas las entradas están en nivel bajo.

Usando dos interruptores en paralelo se puede conseguir la operación lógica OR, tal como se muestran en la Figura 8 y

Figura 9, dónde la salida estará en alto si cualquiera de los dos interruptores se activa:

Figura 8

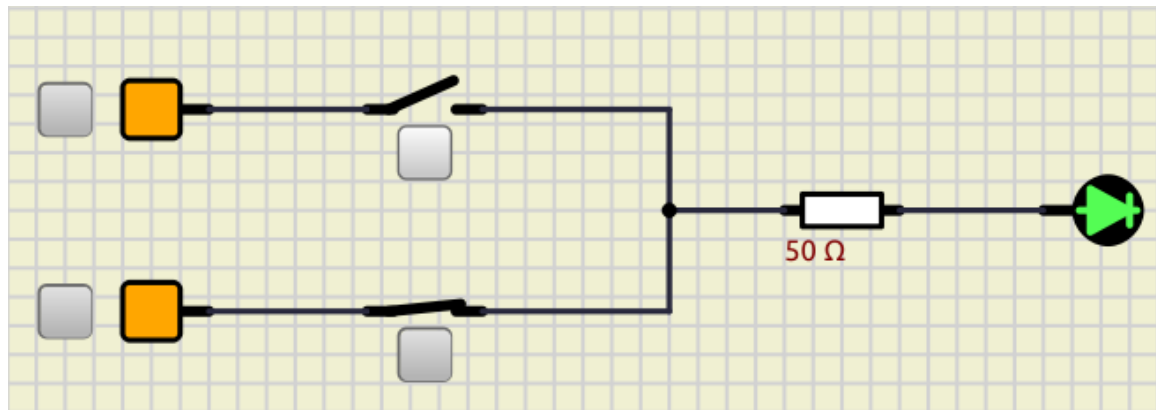
Compuerta Lógica OR con salida lógica baja implementada con interruptores



Nota: Elaborado por Escobar C. (2025)

Figura 9

Compuerta Lógica OR con salida lógica alta implementada con interruptores



Nota: Elaborado por Escobar C. (2025)

Tabla de verdad de la compuerta OR

A	B	A∨B
0	0	0
0	1	1
1	0	1
1	1	1

Implementación OR con transistores BJT

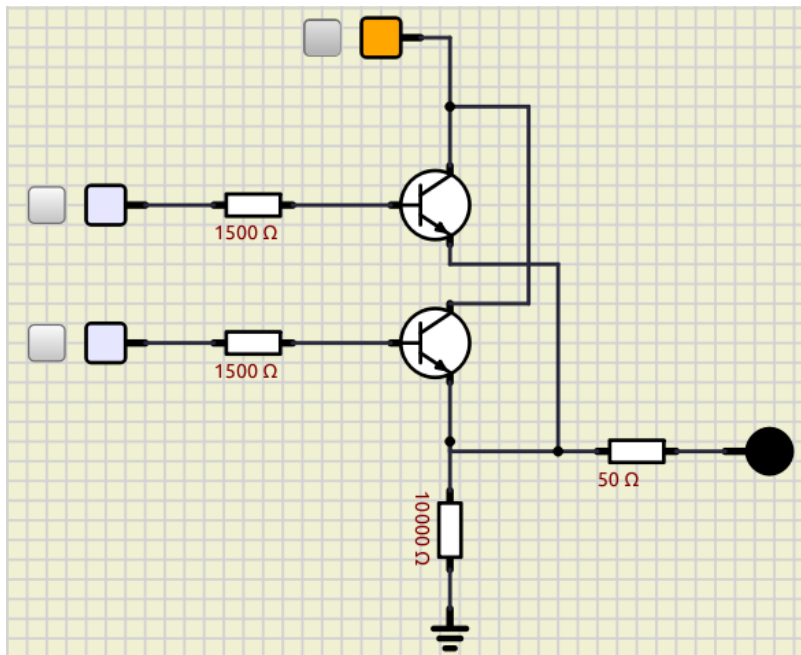
La compuerta OR se implementa mediante transistores BJT conectados en paralelo. Esta configuración permite que cualquier transistor que se sature lleve la salida a un nivel alto.

El circuito típico de esta compuerta OR con BJT incluye dos transistores NPN (Q1 y Q2) con sus colectores conectados en paralelo, resistencias de base individuales (Rb1 y Rb2) para cada entrada, una resistencia de emisor común (Re) conectada entre el punto común de los emisores y tierra y la salida se toma del nodo común de los emisores. En la configuración en paralelo, como se muestra en la

Figura 10, cuando ambas entradas A y B están en nivel bajo (0 lógico), ambos transistores permanecen en corte. No fluye corriente significativa a través de la resistencia de colector, y la salida permanece en nivel bajo. Este es el único caso donde la salida es baja, en cualquier otro caso estará en alto.

Figura 10

Compuerta lógica OR implementada con BJT. Combinación 0 0



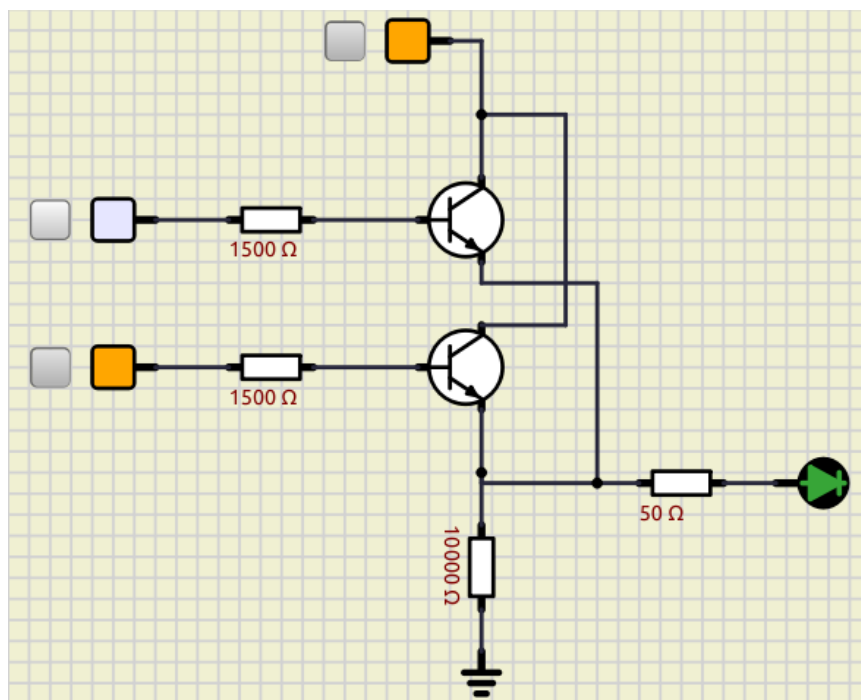
Nota: Elaborado por Escobar C. (2025)

Como se muestra en la

Figura 11, Cuando cualquiera de las entradas (A o B, o ambas) se encuentra en nivel alto, el transistor correspondiente se satura. Un transistor saturado proporciona un camino de baja impedancia desde la salida hacia V_{cc} , llevando el voltaje de salida a un nivel alto (aproximadamente 5V).

Figura 11

Compuerta lógica OR implementada con BJT. Combinación 0 1



Nota: Elaborado por Escobar C. (2025)

Específicamente:

Si $A=0$ y $B=0$, Ambos transistores están en zona de corte, y la salida permanece en nivel bajo. Esta es la única combinación posible que permite que la salida permanezca en nivel bajo.

Si $A=1$, Q1 se satura, y la salida va a nivel alto.

Si $B=1$, Q2 se satura, y la salida va a nivel alto.

Si $A=1$ y $B=1$, ambos transistores se saturan, y la salida va a nivel alto.

Al diseñar compuertas AND u OR con BJT, se debe tomar en cuenta que la corriente de colector debe ser suficiente para saturar los transistores pero no exceder sus especificaciones máximas, los transistores deben tener suficiente ganancia (β) para garantizar la saturación con la corriente de base disponible y la velocidad de conmutación debe tomar en cuenta que las capacitancias parásitas y los tiempos de almacenamiento de carga limitan la velocidad de operación. Finalmente la disipación de potencia debe mantenerse dentro de los límites térmicos de los transistores.

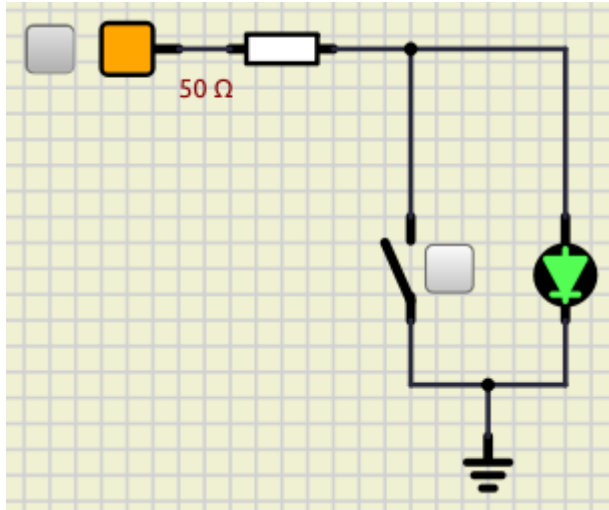
3.3.3. Compuerta NOT

La compuerta NOT, también conocida como inversor, es el elemento más básico y fundamental de la lógica digital. Produce una salida que es el complemento lógico de su entrada: cuando la entrada es alta, la salida es baja, y viceversa.

Se puede implementar con un interruptor, el cual al encenderse lleva a nivel bajo la salida y viceversa, tal como se muestran en las Figura 12 y **¡Error! No se encuentra el origen de la referencia.12** :

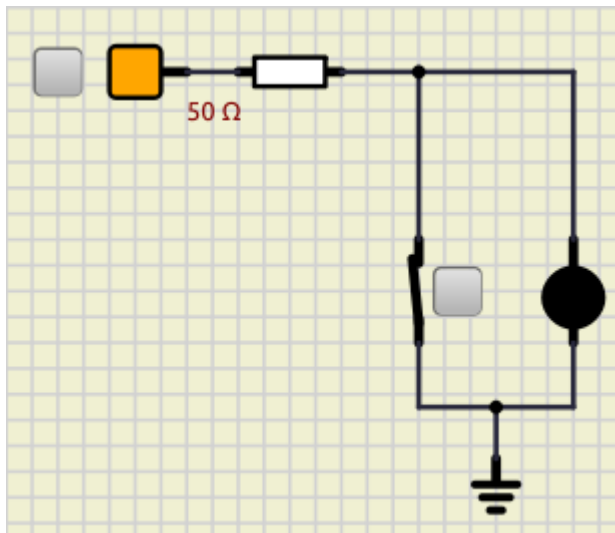
Figura 12

Compuerta lógica NOT con interruptor apagado y salida en alto



Nota: Elaborado por Escobar C. (2025)

Figura 13 Compuerta lógica NOT con interruptor encendido y salida en bajo



Nota: Elaborado por Escobar C. (2025)

Tabla de verdad de la compuerta NOT

A	A
0	1
1	0

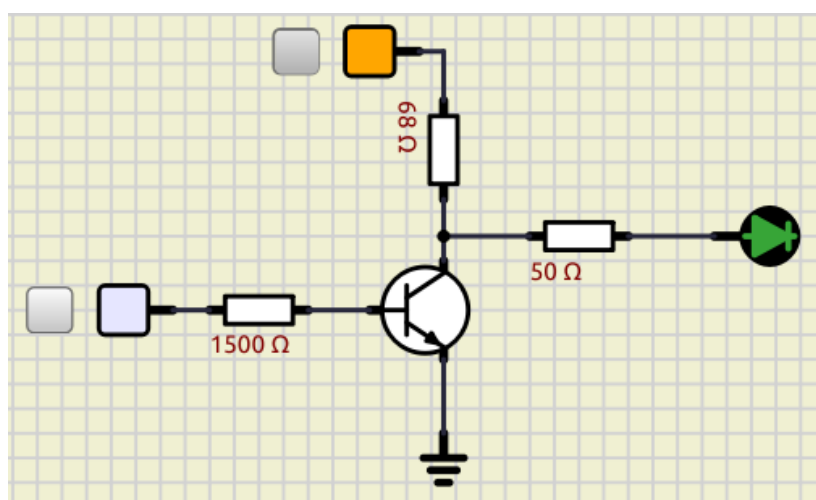
Implementación NOT con transistores BJT

El inversor es la operación lógica mas simple y por tanto una configuración básica de las compuertas lógicas con BJT y es una base para comprender implementaciones más complejas.

Como se aprecia en las Figura 14 y **¡Error! No se encuentra el origen de la referencia.**, el circuito del inversor con BJT consiste en un diseño que lleva la salida a tierra cuando se alimenta la entrada del transistor, esto se puede implementar con un transistor NPN (Q1), una resistencia de colector (R_c) entre V_{cc} y el colector, y una resistencia de base (R_b) entre la entrada y la base del transistor. La salida se toma del colector del transistor

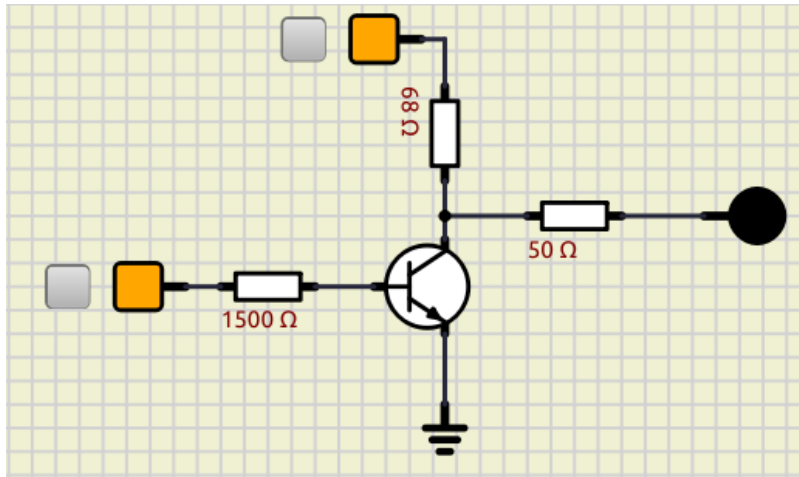
Figura 14

Compuerta lógica NOT implementada con BJT y entrada en bajo



Nota: Elaborado por Escobar C. (2025)

Figura 15 Compuerta lógica NOT implementada con BJT y entrada en alto



Nota: Elaborado por Escobar C. (2025)

Cuando la entrada A está en nivel bajo (0 lógico, aproximadamente 0V), la corriente de base es insuficiente para polarizar el transistor en conducción. El transistor permanece en la región de corte, comportándose como un circuito abierto entre colector y emisor. En esta condición, no fluye corriente significativa a través de la resistencia de colector, por lo que prácticamente no hay caída de voltaje en R_c . La salida Y, tomada del colector, estará aproximadamente al mismo potencial que V_{cc} , es decir, en nivel alto (1 lógico).

Cuando la entrada A se eleva a nivel alto (1 lógico, típicamente +5V), fluye corriente de base a través de R_b hacia la base del transistor. Si esta corriente es suficientemente grande, el transistor entra en la región de saturación. En saturación, el transistor actúa como un interruptor cerrado, con una resistencia muy baja entre colector y emisor (típicamente resultando en un voltaje de saturación $V_{ce(sat)}$ de 0.2V a 0.3V). La salida cae a este nivel bajo, realizando así la inversión lógica.

Para el diseño correcto de un inversor BJT se requiere calcular los valores apropiados de las resistencias de base R_b y colector R_c :

El cálculo de la resistencia de colector R_c se determina basándose en la corriente de colector deseada cuando el transistor está saturado:

$$I_c = (V_{cc} - V_{ce(sat)}) / R_c$$

El cálculo de R_b debe proporcionar suficiente corriente de base para garantizar la saturación:

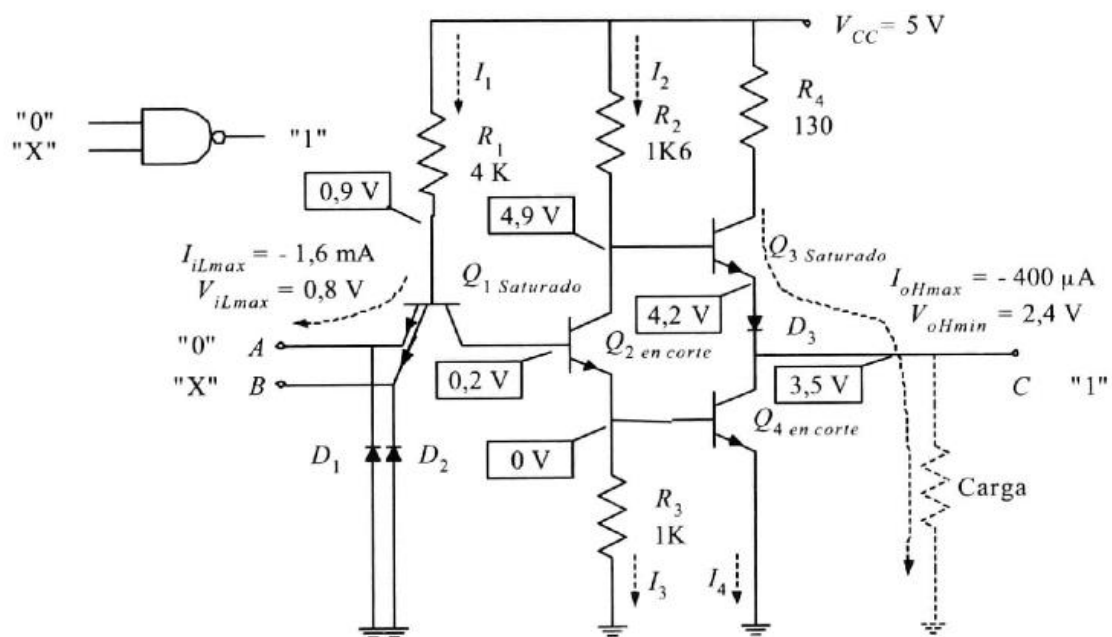
$$I_b = I_c / \beta$$

donde β es la ganancia de corriente del transistor. Para garantizar saturación profunda, se usa un factor de saturación mayor que 1:

$$R_b = (V_{in} - V_{be}) / (I_b \times \text{factor_saturación})$$

Si bien es cierto en esta parte del curso hemos visto las configuraciones básicas para la implementación de compuertas lógicas, cualquiera de ellas puede ser configurada usando transistores BJT y cómo ejemplo de puede apreciar en la la compuerta NAND de la familia TTL, [cuyas ventajas puede revisar en este articulos.](#)

Figura 16:
Comportamiento eléctrico de una compuerta NAND de la familia TTL



Nota: Tomado de (Electrónica digital, 2006)

Ventajas de las compuertas con BJT

- Simplicidad conceptual para el aprendizaje
- Disponibilidad y bajo costo de componentes discretos
- Alta ganancia de corriente
- Buena capacidad de manejo de corriente

Limitaciones de las compuertas con BJT

- Consumo de potencia relativamente alto
- Velocidad de conmutación limitada comparada con tecnología moderna
- Requieren múltiples componentes para cada compuerta
- Generan calor durante la operación
- Niveles lógicos pueden ser afectados por temperatura



Aunque los circuitos integrados CMOS han reemplazado las implementaciones discretas con BJT en la mayoría de las aplicaciones, el conocimiento de estas configuraciones sigue siendo valioso para:

- Interfaces de potencia
- Drivers de alta corriente
- Circuitos de propósito especial
- Educación en fundamentos de electrónica digital
- Reparación y mantenimiento de equipos antiguos

Referencias citadas en la Clase 7.

Electrónica digital: introducción a la lógica digital: teoría, problemas y simulación (2a ed.).
(2006). Ra-Ma.

Definición de los términos citados en la Clase 7.

TTL: Siglas en inglés de Transistor-Transistor Logic o "Lógica Transistor a Transistor", la cual es la tecnología de construcción de circuitos electrónicos digitales, en los que los elementos de entrada de la red lógica son transistores, así como los elementos de salida del dispositivo.

Zonas de operación de un transistor BJT: Un transistor BJT puede operar en tres regiones: corte, activa y saturación. En aplicaciones digitales se usa principalmente las regiones de corte y saturación, donde el transistor actúa como un interruptor electrónico. Cuando está en corte, el transistor se comporta como un interruptor abierto (estado lógico alto o "1"), y cuando está en saturación, actúa como un interruptor cerrado (estado lógico bajo o "0").



La excelencia no se improvisa

síguenos

