

Circuitos y Sistemas Digitales

Compuertas Lógicas con Transistores FET

Clase 8



1. Introducción

La invención del transistor FET, aunque conceptualizada originalmente en los años 1920 y 1930, no se materializó exitosamente hasta la década de 1960. Desde entonces, estos dispositivos han experimentado una evolución extraordinaria, culminando en la tecnología CMOS (Complementary Metal-Oxide-Semiconductor) que actualmente alimenta prácticamente todos los procesadores, memorias y sistemas digitales que conocemos. La razón fundamental de su predominio radica en su bajo consumo de potencia, alta densidad de integración y excelente comportamiento como interruptores electrónicos.

Clase 8: Compuertas Lógicas con Transistores FET.

Resultado o resultados de aprendizaje que será abordado con el contenido de la clase. **(No agregue los criterios)**

Diseñar circuitos digitales y sistemas digitales complejos, empleando las herramientas adecuadas.

3.4 El transistor FET

Los transistores de efecto de campo (Field Effect Transistor - FET) representan una de las innovaciones más significativas en la historia de la electrónica moderna. A diferencia de los transistores bipolares de unión (BJT), que son dispositivos controlados por corriente, los FET son dispositivos controlados por voltaje, lo que les confiere características únicas que los han convertido en la tecnología dominante en la fabricación de circuitos integrados digitales contemporáneos.

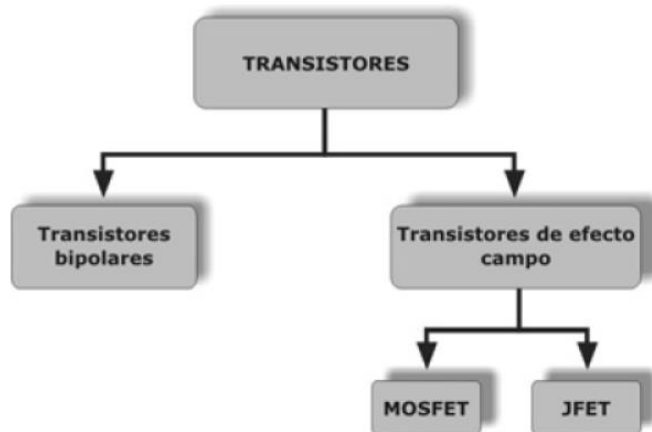
El principio de funcionamiento de un FET se basa en el control del flujo de portadores de carga (electrones o huecos) a través de un canal semiconductor mediante la aplicación de un campo eléctrico. Esta característica fundamental permite que el FET opere con una impedancia de entrada extremadamente alta, consumiendo prácticamente cero corriente de control en estado estático, una ventaja crucial para aplicaciones de bajo consumo energético.

Los transistores FET se clasifican principalmente en dos grandes familias: los JFET (Junction FET) y los MOSFET (Metal-Oxide-Semiconductor FET). Sin embargo, en la electrónica digital moderna, los MOSFET han demostrado ser superiores y prácticamente han reemplazado a otras tecnologías en la mayoría de aplicaciones. La



Figura 1 muestra los distintos tipos de transistores con las familias FET, de las cuales pondremos énfasis en los MOSFET.

Figura 1:
Tipos de transistores



Nota: Tomado de (Arboledas, 2010)

3.4.1 Estructura del Transistor FET

Un MOSFET típico consta, en la mayoría de los casos de tres terminales principales:

- Source (Fuente),
- Drain (Drenador), y
- Gate (Compuerta)

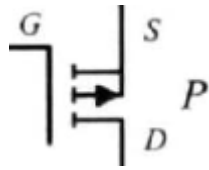
En algunos casos se tiene un cuarto terminal que por lo general se conecta a la fuente:

- Substrate o Body (Sustrato).

La estructura física se construye sobre un sustrato de silicio dopado, generalmente tipo P para un MOSFET de canal N (NMOS) o tipo N para un MOSFET de canal P (PMOS), las Figura 2 y

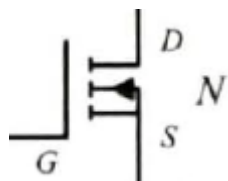
Figura 3 muestran su representación esquemática respectivamente.

Figura 2:
CMOS tipo P



Nota: Tomado de (Acha Alegre & Hilario Caballero, 2006)

Figura 3:
CMOS tipo N



Nota: Tomado de (Acha Alegre & Hilario Caballero, 2006)

En un NMOS, el sustrato es de silicio tipo P, sobre el cual se crean dos regiones altamente dopadas tipo N⁺ que forman el source y el drain. Entre estas dos regiones existe una separación que constituye el canal. Sobre este canal se deposita una delgada capa de dióxido de silicio (SiO₂), que actúa como aislante dieléctrico, y sobre esta capa aislante se deposita el electrodo de gate, tradicionalmente de metal o polisilicio altamente dopado.

La capa de óxido es crucial en la operación del dispositivo. Su grosor, que en tecnologías modernas puede ser de apenas unos pocos nanómetros, determina la capacitancia entre el gate y el canal, lo que a su vez influye en la velocidad de conmutación y el consumo de potencia del transistor. La constante miniaturización de esta capa de óxido ha sido uno de los principales impulsores de la Ley de Moore durante décadas, la cual ha sido superada en los últimos años. [En este documental puede ver cómo se fabrican los microchips con una alta densidad de transistores.](#)

Regiones de Operación

El MOSFET opera en tres regiones principales:

- corte,
- triodo (u óhmica), y;
- saturación.

En la región de corte, el voltaje gate-source (V_{GS}) es menor que el voltaje umbral (V_{TH}), y no existe un canal conductivo entre source y drain. En esta condición, el transistor se comporta prácticamente como un circuito abierto.

Cuando V_{GS} supera el V_{TH} , se forma un canal de inversión debajo del óxido de gate. Los electrones (en un NMOS) son atraídos hacia la interfaz óxido-semiconductor, creando un canal tipo N que conecta el source con el drain. En la región triodo, el transistor se comporta como una resistencia controlada por voltaje, donde la corriente drain-source (I_{DS}) es proporcional al voltaje drain-source (V_{DS}).

3.4.2 Características y Parámetros del Transistor FET

A. Parámetros Eléctricos Fundamentales

El voltaje umbral (V_{TH}) es quizás el parámetro más crítico de un MOSFET. Representa el voltaje mínimo que debe aplicarse entre gate y source para crear el canal conductivo. En tecnologías mo-

dernas, los V_{TH} típicos oscilan entre 0.3V y 0.7V, aunque esto varía según la aplicación específica y los requisitos de diseño. Un V_{TH} bajo permite operar a voltajes de alimentación reducidos, disminuyendo el consumo de potencia, pero incrementa las corrientes de fuga cuando el transistor debería estar apagado.

La transconductancia (g_m) define la relación entre cambios en la corriente de drain y cambios en el voltaje de gate, y es fundamental para determinar la ganancia del transistor en aplicaciones analógicas y su velocidad de conmutación en aplicaciones digitales. Una mayor transconductancia permite transiciones más rápidas entre estados lógicos.

Las capacitancias parásitas son otro aspecto crucial del comportamiento del MOSFET. Existen capacitancias entre gate-source (C_{GS}), gate-drain (C_{GD}) y gate-substrate (C_{GB}). La capacitancia C_{GD} , también conocida como capacitancia Miller, es particularmente importante porque crea un acoplamiento entre entrada y salida que puede afectar significativamente la velocidad y estabilidad del circuito.

B. Efectos de Canal Corto

A medida que la tecnología de semiconductores avanza y las dimensiones de los transistores se reducen, aparecen diversos efectos de canal corto que alteran el comportamiento ideal del dispositivo. El efecto de modulación de canal causa que la corriente de drain en saturación no sea completamente independiente de V_{DS} , sino que presente una ligera pendiente positiva. Este fenómeno se modela mediante el parámetro λ en la ecuación de saturación modificada.

El efecto de penetración de campo (punch-through) ocurre cuando las regiones de depleción del source y drain se extienden tanto que se tocan, creando un camino de baja resistencia independiente del control de gate. El efecto de reducción de barrera inducida por el drain (DIBL - Drain Induced Barrier Lowering) hace que el voltaje umbral efectivo disminuya a medida que aumenta V_{DS} , incrementando las corrientes de fuga subumbral.

3.4.3 El Transistor FET como Conmutador

En aplicaciones digitales, los transistores MOSFET funcionan principalmente como interruptores electrónicos ideales, conmutando entre dos estados bien definidos: ON (conducción) y OFF (corte). Esta operación binaria es la base fundamental de toda la electrónica digital moderna.

A. Operación en Modo de Conmutación

Cuando un MOSFET se utiliza como interruptor, idealmente debería presentar dos características extremas: resistencia infinita (circuito abierto) cuando está OFF, y resistencia cero (cortocircuito) cuando está ON. En la práctica, un MOSFET en OFF presenta una resistencia extremadamente alta (típicamente en el rango de megaohms o gigaohms), mientras que en ON presenta una resistencia denominada R_{ON} que, en transistores modernos, puede ser de apenas unos pocos ohms.

Para un NMOS funcionando como interruptor, cuando $V_{GS} = 0V$ (o menor que V_{TH}), el transistor está en corte y solo fluye una corriente de fuga subumbral mínima, típicamente en el rango de nanoamperes o picoamperes. Cuando se aplica un V_{GS} suficientemente alto (típicamente igual al voltaje de alimentación V_{DD}), el transistor entra en conducción y puede transportar corrientes significativas con una caída de voltaje mínima.

B. Análisis de Conmutación y Tiempos de Transición

El proceso de conmutación FET no es instantáneo ya que involucra el cargado y descargado de las capacitancias parásitas del transistor y del circuito conectado. Durante el encendido (turn-on), primero debe cargarse la capacitancia de gate hasta que V_{GS} alcance V_{TH} , período conocido como tiempo de retardo (time delay - t_d). Luego, el canal comienza a formarse y la corriente empieza a fluir, período en el que pasa del estado bajo al estado alto denominado tiempo de encendido (time rise - t_r).

De manera similar, durante el apagado (turn-off), las capacitancias deben descargarse. El tiempo total de conmutación incluye el tiempo de descarga (time storage - t_s), durante el cual la carga almacenada en el gate debe removerse, y el tiempo de apagado (time fall t_f), durante el cual la corriente disminuye efectivamente.

3.4.4 Compuertas Lógicas con FET

La implementación de funciones lógicas utilizando transistores MOSFET constituye la base arquitectónica de todos los sistemas digitales contemporáneos. La tecnología CMOS permite crear compuertas lógicas eficientes, rápidas y de bajo consumo energético.

Una compuerta lógica CMOS típica consta de dos redes complementarias: la red pull-up (PUN - Pull-Up Network), construida con transistores PMOS, y la red pull-down (PDN - Pull-Down Network), construida con transistores NMOS. Estas redes son duales entre sí: cuando una proporciona un camino de conducción, la otra está en corte, y viceversa.

La metodología de diseño de compuertas CMOS sigue principios sistemáticos. Para implementar cualquier función lógica, primero se diseña la red pull-down utilizando transistores NMOS conectados según la función lógica deseada: transistores en serie implementan operaciones AND, mientras que transistores en paralelo implementan operaciones OR. La red pull-up se diseña entonces como el dual complementario: donde la PDN tiene transistores en serie, la PUN tiene transistores en paralelo, y viceversa.

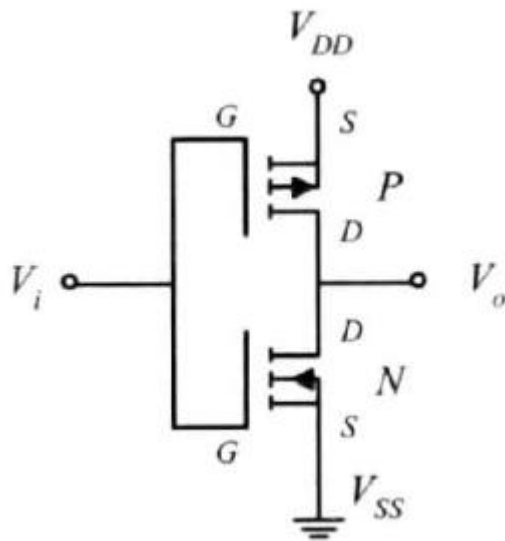
A. Compuerta Inversora NOT con CMOS

El inversor CMOS básico, formado por un NMOS y un PMOS en configuración complementaria, ejemplifica perfectamente la operación de los FET como interruptores. Cuando la entrada es baja (0V), el PMOS conduce (conectando la salida a V_{DD}) mientras el NMOS está en corte. Cuando

la entrada es alta (V_{DD}), el NMOS conduce (conectando la salida a tierra) mientras el PMOS está en corte.

Esta configuración complementaria asegura que, en estado estático, siempre uno de los transistores está completamente apagado, resultando en un consumo de potencia estática prácticamente nulo, limitado solo por las corrientes de fuga. Esta característica es la razón fundamental por la cual la tecnología CMOS domina la electrónica digital moderna.

Figura 4:
Circuito básico de un inversor CMOS

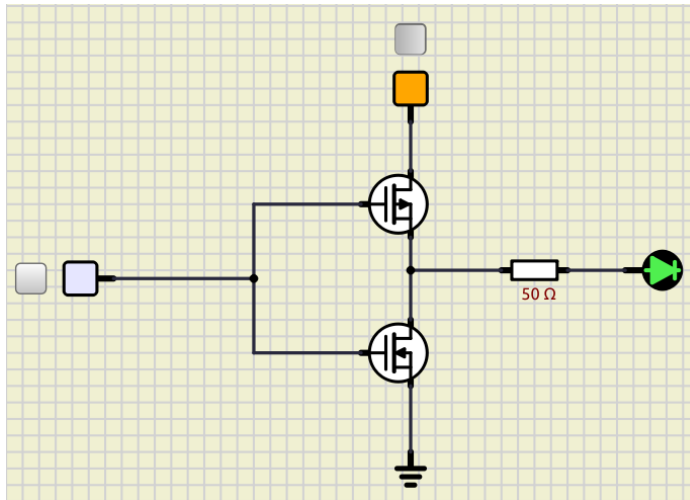


Nota: Tomado de (Acha Alegre & Hilario Caballero, 2006)

Las

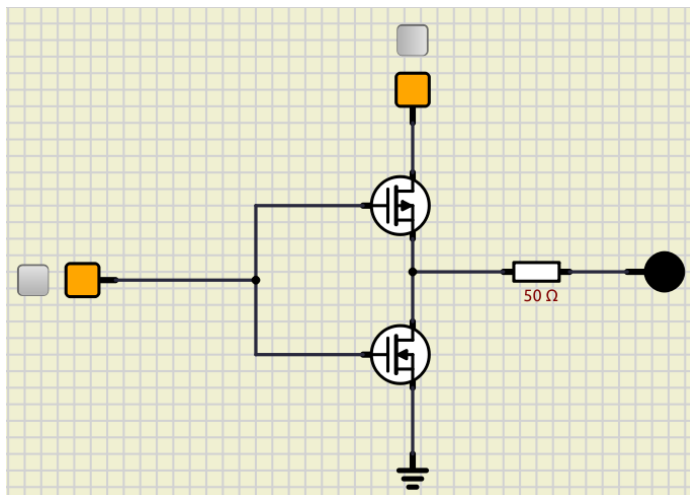
Figura 5 y Figura 6 muestran la simulación de la compuerta NOT en SimulIde, donde se puede apreciar que el estado lógico de la entrada es invertido a la salida.

Figura 5:
Compuerta NOT con CMOS y entrada 0



Nota: elaborado por (Escobar C., 2025)

Figura 6:
Compuerta NOT con CMOS y entrada 1



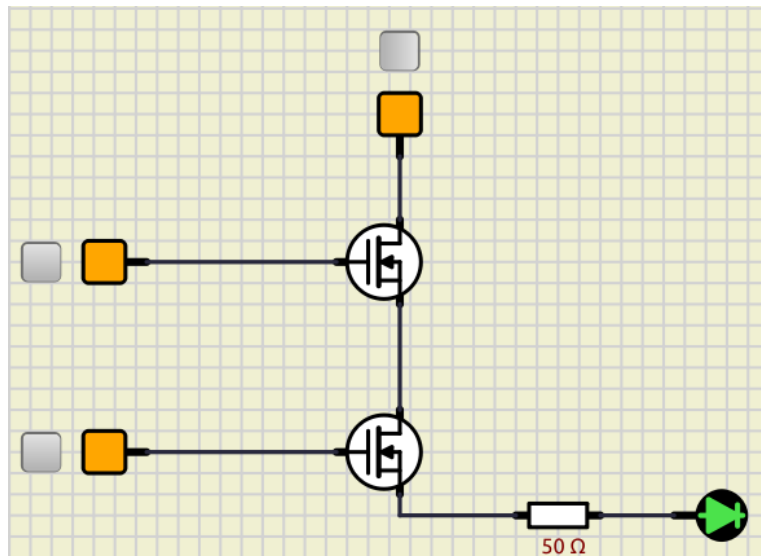
Nota: elaborado por (Escobar C., 2025)

B. Compuerta AND con CMOS

La compuerta AND de dos entradas se puede implementar con dos transistores NMOS en serie.

Cuando ambas entradas A y B son altas (1 lógico), ambos NMOS conducen (porque $V_{GS} = V_{DD} > V_{TH}$), creando un camino de baja resistencia hacia la salida, siendo esta combinación la única que genera un uno lógico a la salida, tal como se puede apreciar en la Figura 7.

Figura 7:
Compuerta AND con CMOS y entrada lógica 1 1

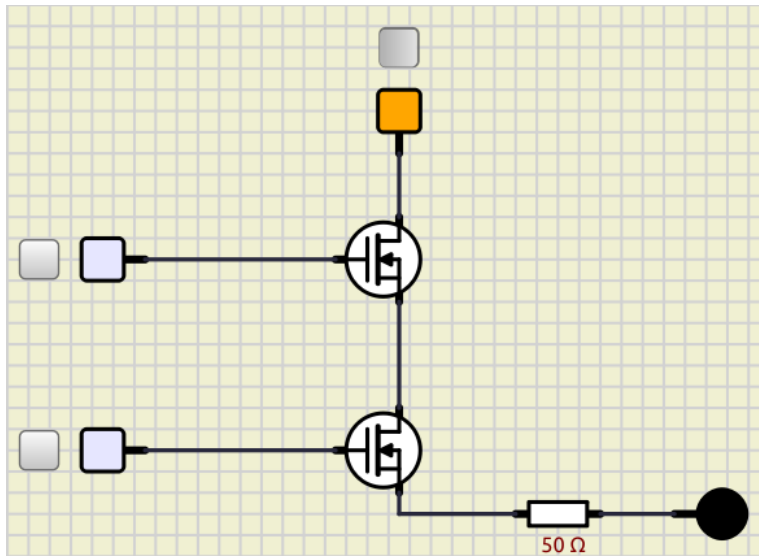


Nota: elaborado por (Escobar C., 2025)

Para cualquier otra combinación de entradas (00, 01, o 10), al menos uno de los NMOS está en corte, rompiendo el camino hacia la salida, teniendo como resultado en la salida un cero lógico, tal como se aprecia en las figuras Figura 8

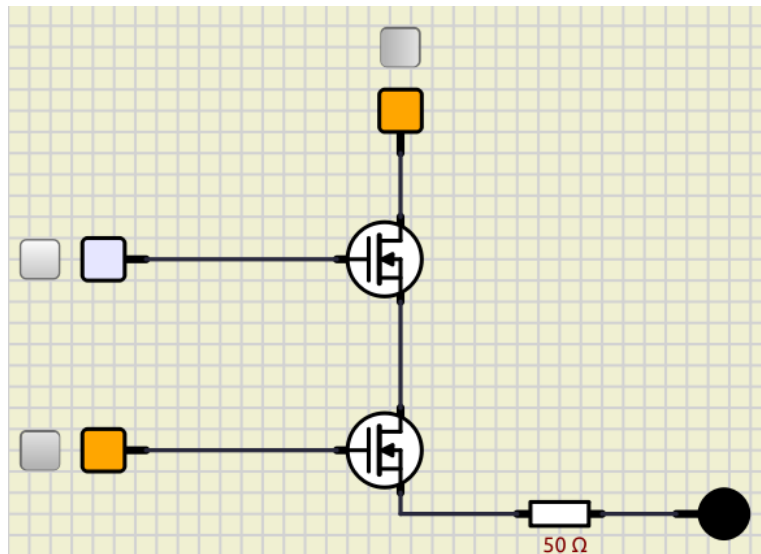
Figura 9Figura 10.

Figura 8:
Compuerta AND con CMOS y entrada lógica 0 0



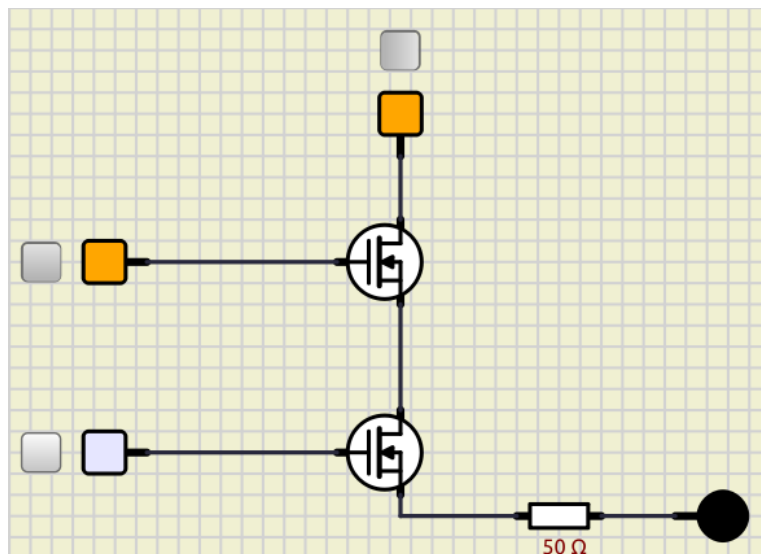
Nota: elaborado por (Escobar C., 2025)

Figura 9:
Compuerta AND con CMOS y entrada lógica 0 1



Nota: elaborado por (Escobar C., 2025)

Figura 10:
Compuerta AND con CMOS y entrada lógica 1 0

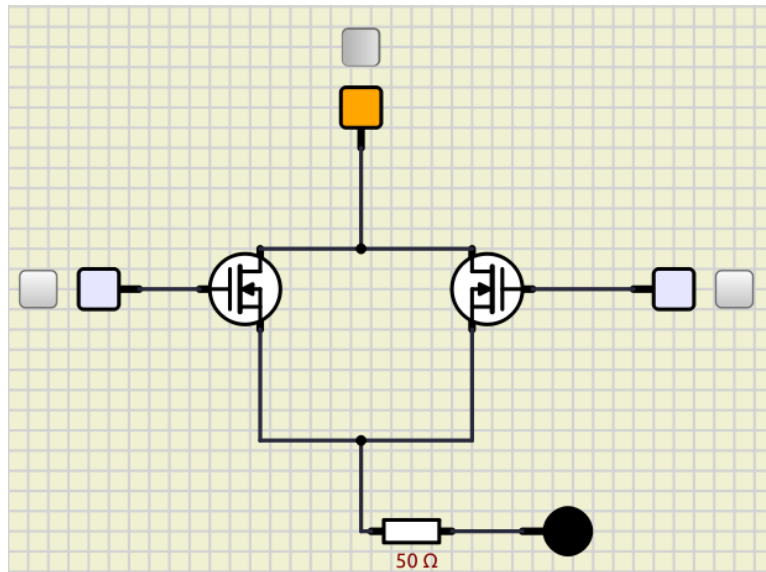


Nota: elaborado por (Escobar C., 2025)

C. Compuerta OR con CMOS

La compuerta OR se puede implementar dos transistores NMOS en paralelo, dónde solo cuando ambas entradas son bajas (0 lógico), ambos NMOS están en corte y la salida es cero lógico. Esto se puede apreciar en la simulación de la

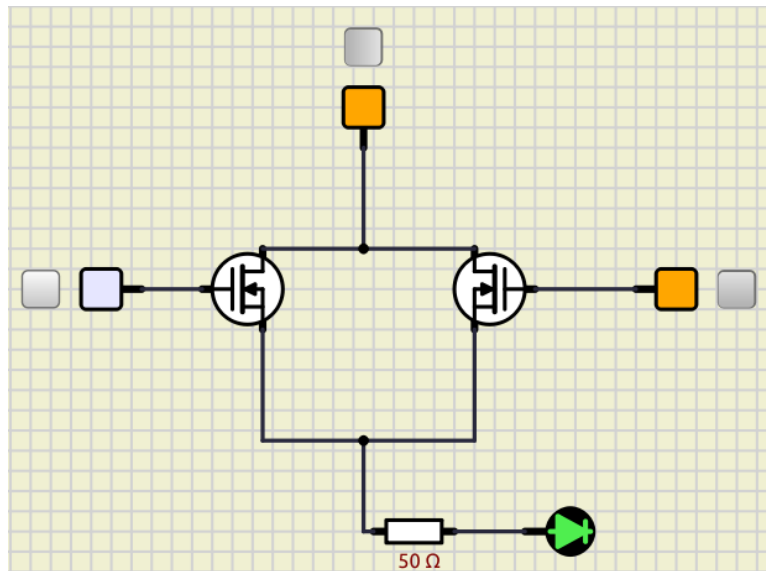
Figura 11:
Compuerta OR con CMOS y entrada lógica 0 0



Nota: elaborado por (Escobar C., 2025)

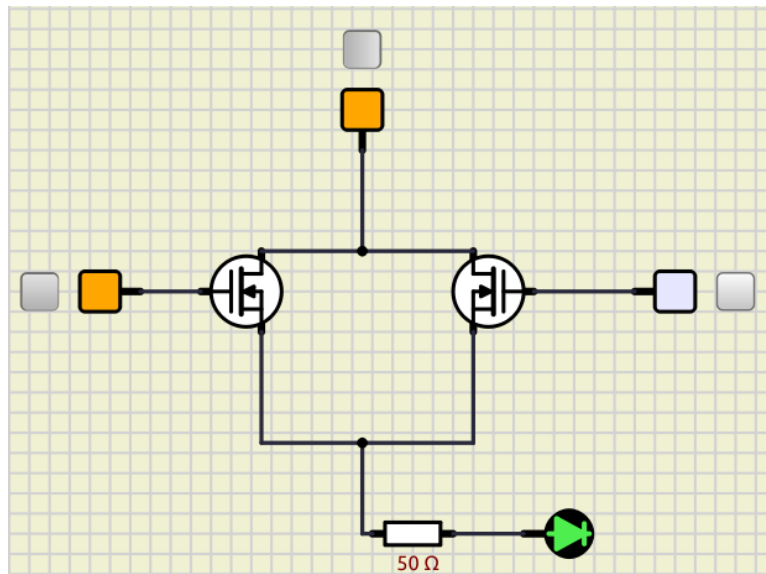
Por el contrario, si cualquier entrada es alta; 01, 10 o 11, al menos un NMOS conduce, conectando la salida a la fuente, es decir un uno lógico. Esto se puede apreciar en las figuras Figura 12, Figura 13 y Figura 14.

Figura 12:
Compuerta OR con CMOS y entrada lógica 0 1



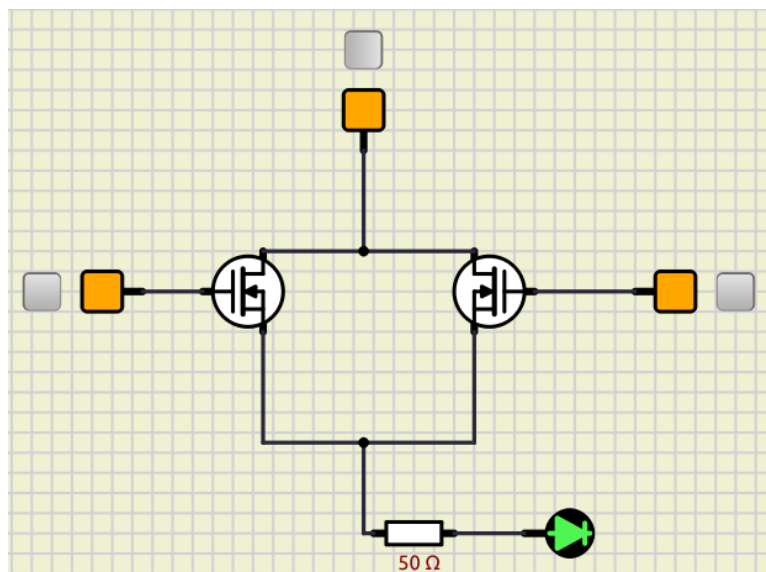
Nota: elaborado por (Escobar C., 2025)

Figura 13:
Compuerta OR con CMOS y entrada lógica 1 0



Nota: elaborado por (Escobar C., 2025)

Figura 14:
Compuerta OR con CMOS y entrada lógica 1 1



Nota: elaborado por (Escobar C., 2025)

La metodología CMOS permite implementar funciones lógicas complejas directamente, sin necesidad de construirlas a partir de compuertas básicas, esta implementación directa es más eficiente que construir funciones usando compuertas individuales AND/OR, resultando en menor área de silicio, menor consumo de potencia y mayor velocidad. El diseño de compuertas complejas opti-

mizadas es un arte fundamental en el diseño de circuitos integrados digitales de alto rendimiento, en ese sentido la tecnología CMOS representa el culmen de la evolución de los transistores FET en aplicaciones digitales. Su éxito se fundamenta en tres ventajas cruciales: consumo de potencia estática despreciable, alta densidad de integración y excelente escalabilidad.

El consumo de potencia en CMOS se divide en dos componentes: estática y dinámica. La potencia estática, determinada por corrientes de fuga, ha aumentado en tecnologías nanométricas pero sigue siendo órdenes de magnitud menor que en otras tecnologías. La potencia dinámica puede controlarse mediante reducción de voltaje de alimentación y optimización de la frecuencia de operación.

La escalabilidad de la tecnología CMOS, siguiendo las leyes de Dennard, ha permitido la miniaturización continua de los transistores durante más de cinco décadas. Actualmente, tecnologías de proceso de 3nm están en producción, con transistores conteniendo puertas de apenas unos pocos nanómetros de longitud, permitiendo integrar miles de millones de transistores en un solo chip.

Esta extraordinaria capacidad de integración, combinada con el bajo consumo energético de la lógica CMOS, ha hecho posible la revolución digital que experimentamos hoy desde smartphones con procesadores de ocho núcleos hasta centros de datos masivos y sistemas de inteligencia artificial, todos fundamentados en las compuertas CMOS construidas con transistores FET.

Dado que el silicio ha llegado al límite de miniaturización, los científicos están explorando otras alternativas con otros elementos de la tabla periódica, como por ejemplo el bismuto, [tal como podemos ver en este documental.](#)

Referencias citadas en la Clase 8.

Acha Alegre, S. E., & Hilario Caballero, A. (2006). Electrónica digital: introducción a la lógica digital: teoría, problemas y simulación (2a ed.). Ra-Ma.

Arboledas, D. (2010). Electrónica básica. Paracuellos de Jarama.
<https://elibro.puce.elogim.com/es/ereader/puce/106571>

Definición de los términos citados en la Clase 8.

FET: Son transistores de efecto de campo controlados por voltaje, lo que les confiere características únicas que los han convertido en la tecnología dominante en la fabricación de circuitos integrados digitales contemporáneos.

Conmutación FET: Involucra el cargado y descargado de las capacitancias parásitas del transistor de efecto de campo y del circuito conectado tanto cuando cambia de apagado a encendido y viceversa.



La excelencia no se improvisa

síguenos

